

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-065699

(43)Date of publication of application : 09.03.1999

(51)Int.Cl. G06F 1/10
 H01L 21/82
 H01L 27/04
 H01L 21/822
 H03K 3/02
 H03K 5/13
 H03L 7/06

(21)Application number : 10-090176 (71)Applicant : TOSHIBA MICROELECTRON
 CORP
 TOSHIBA CORP

(22)Date of filing : 02.04.1998 (72)Inventor : BANDAI RYOICHI
 SAKAGAMI KENJI
 SEKI KEIKO

(30)Priority

Priority number : 09156353 Priority date : 13.06.1997 Priority country : JP

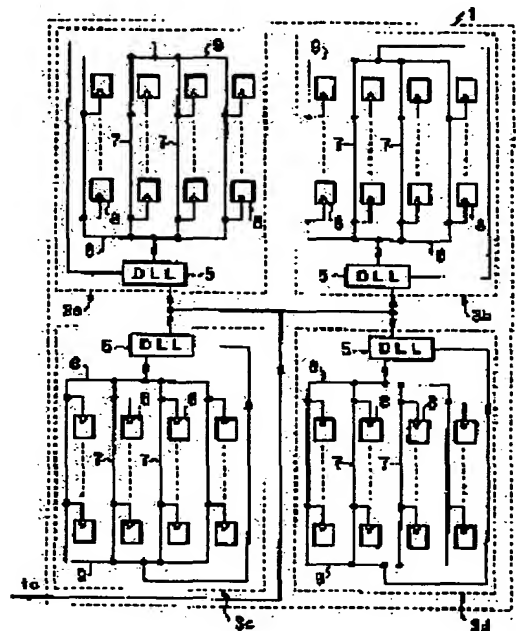
(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent as much as possible the generation of clock skew, even when fluctuation due to a process is present by allowing a DLL circuit to output a clock signal for obtaining a phase difference between a reference clock signal and a clock signal from the other edge of a wiring part as a prescribed value.

SOLUTION: A DLL circuit 5 of each functioning block receives a reference clock f_0 and a clock signal from a clock output terminal 9, generates a clock signal having a constant delay amount with respect to the reference clock f_0 , and transmits it to a clock input terminal part 6.

Thus, adjustment is operated so that the rising edge of a terminal clock can be made to coincide with the rising edge of the reference clock f_0 , that is, the terminal clock can be delayed for a constant cycle from the reference clock f_0 . Thus, the phases of the reference clock f_0 inputted to each functioning block $3i$ ($i=a-b$) and the terminal clock can be made zero. Therefore, the generation of clock skew can be prevented as much as possible, even when process fluctuations on the like are present.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65699

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶ 識別記号

G 0 6 F 1/10
H 0 1 L 21/82
27/04
21/822
H 0 3 K 3/02

F 1

G 0 6 F 1/04 3 3 0 A
H 0 3 K 3/02 J
5/13
H 0 1 L 21/82 W
27/04 D

審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く

(2i) 出願番号 特願平10-90176

(22) 出願日 平成10年(1998) 4月2日

(31) 優先権主張番号 特願平9-156353

(32) 優先日 平9(1997) 6月13日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1

(71) 出願人 000003078

株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72) 発明者 萬代亮一

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(72) 発明者 坂上健二

神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

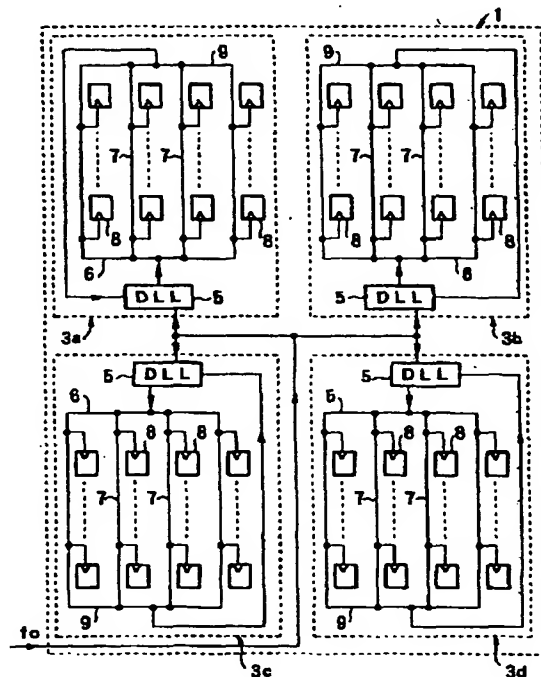
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 プロセスによる変動があってもクロックスキューを可及的に低減する。

【解決手段】 クロック信号を出力するDLL回路と、このDLL回路の出力端に一端が接続されて前記クロック信号を通す少なくとも1個の配線部と、この配線部を介して前記DLL回路からのクロック信号を受ける少なくとも1個の負荷回路とを備える複数の機能ブロックを有し、前記DLL回路は基準クロックと前記配線部の他端からのクロック信号との位相差が所定値となるクロック信号を出力することを特徴とする。



【特許請求の範囲】

【請求項1】第1のクロック信号を出力するDLL回路と、

このDLL回路の出力端に一端が接続されて前記第1のクロック信号を通す少なくとも1個の配線部と、
この配線部を介して前記DLL回路からの第1のクロック信号を受ける少なくとも1個の負荷回路と、
を各々が備える複数の機能ブロックを有し、
前記DLL回路は基準クロック信号と前記配線部の他端から出力される第2のクロック信号との位相差が所定値となる第1のクロック信号を出力することを特徴とする半導体集積回路装置。

【請求項2】前記複数の機能ブロックの内の少なくとも1つの機能ブロックの前記配線部は複数個設けられ、かつ各配線部には各配線部に対応して少なくとも1個の負荷回路が設けられ、前記複数の配線部の各々の一端は短絡されて前記DLL回路の出力を受け、前記複数の配線部の各々の他端が短絡されて前記第2のクロック信号が入力される前記DLL回路の入力端に接続されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】前記複数の機能ブロックの配線部の他端は短絡され、この短絡された末端からの第2のクロック信号と、外部から送られてくるクロック信号とに基づいて前記基準クロック信号を生成して前記複数の機能ブロックの各々のDLL回路に前記基準クロック信号を送出するPLL回路を更に備えていることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】前記DLL回路は、
前記基準クロック信号に基づいてこの基準クロック信号からの遅延量が異なる複数の遅延信号を生成する遅延回路と、前記基準クロック信号と前記配線部の他端からの第2のクロック信号との位相を比較し、位相差が所定値となる制御信号を出力する位相比較回路と、前記制御信号に基づいて前記複数の遅延信号の中から1つの遅延信号を選択して前記配線部に出力する手段と、を備えていることを特徴とする請求項1乃至3のいずれかに記載の半導体集積回路装置。

【請求項5】前記遅延回路は複数の遅延素子が直列に接続された直列回路を有していることを特徴とする請求項4記載の半導体集積回路装置。

【請求項6】前記遅延回路は各々が複数の遅延素子が直列に接続された複数の直列回路を有し、これらの複数の直列回路は並列に接続され、かつ各直列回路の遅延量は異なっていることを特徴とする請求項4記載の半導体集積回路装置。

【請求項7】基準クロック信号とこの基準クロック信号の位相をシフトした少なくとも1個のシフトクロック信号を受けて第1のクロック信号を出力するDLL回路と、

このDLL回路の出力端に一端が接続されて前記第1のクロック信号を通す少なくとも1個の配線部と、
この配線部を介して前記DLL回路からの第1のクロック信号を受ける少なくとも1個の負荷回路と、
を各々が備える複数の機能ブロックを有し、
前記DLL回路は基準クロック信号と前記配線部の他端から出力される第2のクロック信号との位相差が所定値となる第1のクロック信号を出力することを特徴とする半導体集積回路装置。

【請求項8】前記複数の機能ブロックの内の少なくとも1つの機能ブロックの前記配線部は複数個設けられ、かつ各配線部には各配線部に対応して少なくとも1個の負荷回路が設けられ、前記複数の配線部の各々の一端は短絡されて前記DLL回路の出力を受け、前記複数の配線部の各々の他端が短絡されて前記第2のクロック信号が入力される前記DLL回路の入力端に接続されていることを特徴とする請求項7記載の半導体集積回路装置。

【請求項9】外部から送られてくるクロック信号に基づいて前記基準クロック信号と前記シフトクロック信号とを生成して前記複数の機能ブロックの各々のDLL回路に送出するPLL回路を更に備えたことを特徴とする請求項7または8記載の半導体集積回路装置。

【請求項10】前記シフトクロック信号は前記基準クロック信号の位相を90度遅らした第1のシフトクロック信号であり、

前記DLL回路は、
前記基準クロック信号および前記第1のシフトクロック信号に基づいてこの基準クロック信号から位相が180度遅れた第2のシフトクロック信号および前記第1のシフトクロック信号から180度遅れた第3のシフトクロック信号を生成するシフトクロック生成手段と、
指令信号に基づいて、前記基準クロック信号、第1乃至第3のシフトクロック信号の中から1つのクロック信号を選択して、この選択したクロック信号を出力する選択回路と、

前記配線部の他端から出力される第2のクロック信号と前記基準クロック信号との位相を比較してこの第2のクロック信号の、前記基準クロック信号からの位相遅れ量を検出し、この位相遅れ量に基づいて前記指令信号を前記選択回路に送出する位相比較回路と、
この位相比較回路によって検出された位相遅れ量に応じた遅延を前記選択回路から出力されたクロック信号に与えて前記配線部に出力する遅延回路と、
を備えたことを特徴とする請求項7乃至9のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置に関する。

【0002】

【従来の技術】近年半導体集積回路装置は大規模化され、半導体集積回路装置を構成する各機能ブロック等にクロックを適切な遅延時間で分配することが重要となってきた。

【0003】各機能ブロックにクロックを等遅延時間となるように分配する、従来の半導体集積回路装置の例を図7に示す。図7において、負荷回路76i (i = a, b, c, d) を含む機能ブロック61i をツリー構造とし、各機能ブロックの終端節点(リーフ)で等遅延時間となるように回路シミュレータによって配置する。そして弱まったクロック信号fを増幅するために各節点にはバッファ71, 72, 73a, 73b, 74a~74d, 75a~75d, 76a~76dが設けられている。

【0004】また図8に示すように、図7に示す従来の半導体集積回路装置において各機能ブロック61i (i = a, b, c, d) の終端節点を短絡させることにより、各機能ブロック61i の終端節点でのクロック信号の位相差を低減させることも行われている。

【0005】

【発明が解決しようとする課題】しかしながら、上述の従来の半導体集積回路装置においては、設計時には遅延時間が適切に分配されていても製造プロセスの変動等によって各機能ブロックの入力端でクロック信号に位相差が生じてしまうという問題がある。この製造プロセスの変動等によって生じる位相差を考慮して設計段階で回路シミュレーションを行うことは可能であるが、非常に時間がかかり、効率的ではない。

【0006】本発明は上記事情を考慮してなされたものであって、プロセスによる変動等があってもクロックスキューが生じるのを可及的に防止することのできる半導体集積回路装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による半導体集積回路装置は、クロック信号を出力するDLL回路と、このDLL回路の出力端に一端が接続されて前記クロック信号を通す少なくとも1個の配線部と、この配線部を介して前記DLL回路からのクロック信号を受ける少なくとも1個の負荷回路と、を備える複数の機能ブロックを有し、前記DLL回路は基準クロック信号と前記配線部の他端からのクロック信号との位相差が所定値となるクロック信号を出力することを特徴とする。

【0008】なお、前記複数の機能ブロックの内の少なくとも1つの機能ブロックの前記配線部は複数個設けられ、かつ各配線部には各配線部に対応して少なくとも1個の負荷回路が設けられ、前記複数の配線部の各々の一端は短絡されて前記DLL回路の出力を受け、前記複数の配線部の各々の他端が短絡されて前記クロック信号が入力される前記DLL回路の入力端に接続されてい

るように構成しても良い。

【0009】なお、前記複数の機能ブロックの配線部の他端は短絡され、この短絡された末端からのクロック信号と、外部から送られてくるクロック信号とに基づいて前記基準クロック信号を生成して前記複数の機能ブロックの各々のDLL回路に前記基準クロック信号を送出するPLL回路を更に備えているように構成しても良い。

【0010】なお、前記DLL回路は、前記基準クロック信号に基づいてこの基準クロック信号からの遅延量が異なる複数の遅延信号を生成する遅延回路と、前記基準クロック信号と前記配線部の他端からのクロック信号との位相を比較し、位相差が所定値となる制御信号を出力する位相比較回路と、前記制御信号に基づいて前記複数の遅延信号の中から1つの遅延信号を選択して前記配線部に出力する手段と、を備えているように構成しても良い。

【0011】なお、前記遅延回路は複数の遅延素子が直列に接続された直列回路を有しているように構成しても良い。

【0012】なお、前記遅延回路は各々が複数の遅延素子が直列に接続された複数の直列回路を有し、これらの複数の直列回路は並列に接続され、かつ各直列回路の遅延量は異なっているように構成しても良い。

【0013】また、本発明による半導体集積回路装置は、基準クロック信号とこの基準クロック信号の位相をシフトした少なくとも1個のシフトクロック信号を受けて第1のクロック信号を出力するDLL回路と、このDLL回路の出力端に一端が接続されて前記第1のクロック信号を通す少なくとも1個の配線部と、この配線部を介して前記DLL回路からの第1のクロック信号を受ける少なくとも1個の負荷回路と、を各々が備える複数の機能ブロックを有し、前記DLL回路は基準クロック信号と前記配線部の他端から出力される第2のクロック信号との位相差が所定値となる第1のクロック信号を出力することを特徴とする。

【0014】なお、前記複数の機能ブロックの内の少なくとも1つの機能ブロックの前記配線部は複数個設けられ、かつ各配線部には各配線部に対応して少なくとも1個の負荷回路が設けられ、前記複数の配線部の各々の一端は短絡されて前記DLL回路の出力を受け、前記複数の配線部の各々の他端が短絡されて前記第2のクロック信号が入力される前記DLL回路の入力端に接続されるように構成しても良い。

【0015】なお、外部から送られてくるクロック信号に基づいて前記基準クロック信号と前記シフトクロック信号とを生成して前記複数の機能ブロックの各々のDLL回路に送出するPLL回路を更に備えるように構成しても良い。

【0016】なお、前記シフトクロック信号は前記基準クロック信号の位相を90度遅らした第1のシフトクロ

ック信号であり、前記DLL回路は、前記基準クロック信号および前記第1のシフトクロック信号に基づいてこの基準クロック信号から位相が180度遅れた第2のシフトクロック信号および前記第1のシフトクロック信号から180度遅れた第3のシフトクロック信号を生成するシフトクロック生成手段と、指令信号に基づいて、前記基準クロック信号、第1乃至第3のシフトクロック信号の中から1つのクロック信号を選択して、この選択したクロック信号を出力する選択回路と、前記配線部の他端から出力される第2のクロック信号と前記基準クロック信号との位相を比較してこの第2のクロック信号の、前記基準クロック信号からの位相遅れ量を検出し、この位相遅れ量に基づいて前記指令信号を前記選択回路に送出する位相比較回路と、この位相比較回路によって検出された位相遅れ量に応じた遅延を前記選択回路から出力されたクロック信号に与えて前記配線部に出力する遅延回路と、を備えたことを特徴とする。

【0017】

【発明の実施の形態】本発明による半導体集積回路装置の第1の実施の形態の構成を図1に示す。この実施の形態の半導体集積回路装置1は、複数の機能ブロック3a、3b、3c、3dを有し、各機能ブロック3i (i = a, b, c, d) はDLL (Delay Locked Loops) 回路5と、クロック入力端部6と、ツリー部7と、負荷回路8 (例えばフリップフロップ群からなるシフトレジスタ8) と、クロック出力端部9とを備えている。

【0018】半導体集積回路装置1の外部から送られてくるクロック信号 f_0 (以下、基準クロック f_0 ともいう) は、各機能ブロック3i (i = a, b, c, d) のDLL回路5に入力される。各機能ブロックのDLL回路5は、基準クロック f_0 およびクロック出力端部9からのクロック信号を受け、この基準クロック f_0 に対して一定の遅延量 (基準クロック f_0 の1周期または半周期の遅延量) を有するクロック信号を生成してクロック入力端部6に送出する。

【0019】クロック入力端部6に送られたクロック信号は分配されてツリー部7に送られ、各ツリー部7から負荷回路8に送られる。そして各ツリー部7の終端であるクロック出力端部9を介してクロック信号がDLL回路5に帰還される。

【0020】上記DLL回路5は図2に示すように可変ディレイライン21と、切り替え回路22と、位相比較器24と、アップダウンカウンタ25とを備えている。可変ディレイライン21は基準クロック f_0 を受け、この基準クロック f_0 と、この基準クロック f_0 から遅延素子1個分の遅延、遅延素子2個分の遅延、遅延素子3個分の遅延、…遅延素子n個分の遅延したクロック信号を出力する。この可変ディレイライン21の具体的な構成は、図4 (a) に示すように、例えばインバータから

なる遅延素子33が、1個直列に接続された第1の直列回路、2個直列に接続された第2の直列回路、3個直列に接続された第3の直列回路等を有している。そして入力端31に基準クロックが入力され、出力端38aからは基準クロック f_0 が出力され、第1の直列回路の出力端38bからは遅延素子1個分の遅延量を有するクロック信号が出力され、第2の直列回路の出力端38cからは遅延素子2個分の遅延量を有するクロック信号が出力され、第3の直列回路の出力端38dからは遅延素子3個分の遅延量を有するクロック信号が出力される構成となっている。

【0021】また図4 (b) に示すように複数の遅延素子33を直列に接続し、各段の遅延素子33の出力端からクロック信号を取り出すような構成としても良い。

【0022】再び図2において、位相比較器24は基準クロック f_0 とクロックツリー7の末端から送られてくる末端クロックとの位相を比較し、末端クロックと基準クロック f_0 との位相差が所定値 (例えば基準クロック f_0 の1周期分) となるような制御信号をアップダウンカウンタ25に送る。するとこの制御信号に基づいてアップダウンカウンタ25がカウント値を1だけカウントアップまたはカウントダウンし、カウント値を切り替え回路22に送る。なお、上記位相差が零の場合はアップダウンカウンタ25はカウント値を変えない。

【0023】切り替え回路22はアップダウンカウンタ25のカウント値に基づいて可変ディレイライン21の出力端を選択し、選択した出力端から出力されるクロック信号をクロックツリー7に送る。例えばカウント値が1だけアップされた場合は位相差が遅延素子1個分だけ増えるように可変ディレイライン21の出力端が選択され、カウント値が1だけダウンされた場合は、位相差が遅延素子1個分だけ減るように可変ディレイライン21の出力端が選択される。

【0024】このようにしてDLL回路5が構成されていることにより、図3 (a) に示すように基準クロック f_0 と末端クロックとの間に遅延 (位相差) がある場合は上記DLL回路5によって、図3 (b) に示すように末端クロックと基準クロック f_0 の立ち上がりエッジが一致するように、すなわち末端クロックが基準クロック f_0 からこの基準クロック f_0 の1周期分遅れるように調整されることになる。

【0025】以上説明したように第1の実施の形態の半導体集積回路装置によれば、各機能ブロック3i (i = a, b, c, d) においてDLL回路5が設けられたことにより、各機能ブロック3i (i = a, b, c, d) に入力する基準クロック f_0 と末端クロックとの位相差を零とすることが可能となる。これによりプロセス変動等があってもクロックスキューが生じるのを可及的に防止することができる。

【0026】次に本発明による半導体集積回路装置の第

2の実施の形態の構成を図5に示す。この実施の形態の半導体集積回路装置は図1に示す第1の実施の半導体集積回路装置において、PLL回路2を設けたものである。このPLL回路2は、外部からのクロック信号 f_1 と、機能ブロック3a、3b、3c、3dの末端が短絡されて、この短絡された末端からのクロック信号とに基づいて、基準クロック信号 f_0 を生成し、この基準クロック信号と上記短絡された末端からのクロック信号との位相差が零となるように調整する。なお n を正の整数としたとき基準クロック信号 f_0 の周波数はクロック信号 f_1 の周波数の n 倍または $1/n$ 倍となっている。そして基準クロック f_0 は第1の実施の形態と同様に各機能ブロック3i ($i = a, b, c, d$)のDLL回路5に入力される。

【0027】このような構成としたことにより、各機能ブロック3i ($i = a, b, c, d$)間の位相差を補正することが可能となる。

【0028】なおこの第2の実施の形態も第1の実施の形態と同様の効果を奏することは言うまでもない。

【0029】次に本発明による半導体集積回路装置の第3の実施の形態の構成を図6に示す。この実施の形態の半導体集積回路装置40は、制御ブロック41と、入力ブロック43と、記憶ブロック45と、出力ブロック47とを備えている。

【0030】制御ブロック41はDLL回路41aとフリップフロップ41b₁、41b₂、41b₃、とを備えている。また入力ブロック43はDLL回路43aと、フリップフロップ43b₁、43b₂、…からなるシフトレジスタと備えている。記憶ブロック45はDLL回路45aと、フリップフロップ45bと、フリップフロップ45c₁、45c₂、…と、フリップフロップ45d₁、45d₂、…と、RAM(Random Access Memory)46とを備えている。

【0031】また出力ブロック47はDLL回路47aと、フリップフロップ47b₁、47b₂、…からなるシフトレジスタとを備えている。

【0032】次にこの実施の形態の構成と動作を説明する。まず外部から送られてくる基準クロック f_0 が各ブロックの各DLL回路41a、43a、45a、47aに入力される。すると基準クロック f_0 からこの基準クロック f_0 の1周期分遅れたクロック信号、すなわち基準クロック f_0 との位相差が零のクロック信号が各DLL回路から出力される。

【0033】コントロールブロック41内のフリップフロップ41b₁は上記クロック信号を受信すると、所定のタイミング後に入力ブロック43に直並列変換開始の指令信号を送出する。すると、入力ブロック43のシフトレジスタが動作を開始し、外部からシリアルに送られてきたデータをDLL回路43aからのクロック信号に基づいて、取り込み、並列データに変換する。

【0034】そしてこの直並列変換が終了すると、フリップフロップ41b₂から記憶ブロック45にイネーブル信号が送られる。すると入力ブロック43のシフトレジスタを構成するフリップフロップ43b₁、43b₂、…に記憶されたデータが、DLL回路45の出力に基づいて記憶ブロック45の対応するフリップフロップ45c₁、45c₂、…に取り込まれる。またこのとき制御ブロック41のフリップフロップ41b₂からフリップフロップ45bを介してRAM46に書き込みイネーブル信号が送られるとともに上記取り込まれたデータを格納すべきRAM46内のアドレス信号がフリップフロップ45bを介してRAM46に送られる。そして上記取り込まれたデータは、DLL回路45aからのクロック信号に基づいてフリップフロップ45c₁、45c₂、…からRAM46に送られ、記憶される。

【0035】その後、制御ブロック41のフリップフロップから記憶ブロック45のフリップフロップ45bを介してRAM46に読み出しイネーブル信号及びアドレス信号が送られると、RAM46からデータが読み出されて、フリップフロップ45d₁、45d₂、…に格納される。

【0036】そして制御ブロック41のフリップフロップ43b₃から並直変換開始指令が出力ブロック47に送られると、DLL回路47aの出力であるクロック信号に基づいて記憶部45のフリップフロップ45d₁、45d₂、…に格納されたデータが出力ブロック47のシフトレジスタを構成する対応するフリップフロップ47d₁、47d₂、…に移され、このシフトレジスタからデータが直列に外部に出力される。

【0037】以上説明したようにこの第3の実施の形態によれば、プロセスによる変動等があっても各機能ブロックにDLL回路が設けられていることにより、クロックスキューが生じるのを防止できる。

【0038】上記第1乃至第3の実施の形態の半導体集積回路装置においては、各機能ブロックはDLL回路5を有していた。そしてこのDLL回路5は例えば図2に示すように可変ディレイラインを有している。一般に可変ディレイラインの占有面積は大きいので、DLL回路5の占有面積が大きくなり、チップサイズが増大するという問題を生じる。これを防止することが可能な半導体集積回路装置を第4の実施の形態として説明する。

【0039】本発明による半導体集積回路装置の第4の実施の形態を図9乃至図11を参照して説明する。図9は第4の実施の形態の構成を示すブロック図、図10は第4の実施の形態に用いられるDLL回路の構成を示すブロック図、図11は第4の実施の形態の動作を説明する波形図である。

【0040】この第4の実施の形態の半導体集積回路装置1は、図5に示す第2の実施の形態の半導体集積回路装置のPLL回路2をPLL回路2Aに置換えるととも

に、各機能ブロック3i (i=a, b, c, d)のDLL回路5をDLL回路5Aに置換え、更に機能ブロック3a, 3b, 3c, 3dの末端を短絡しないようにした構成となっている。

【0041】PLL回路2Aは外部からのクロック信号 f_1 に基づいて基準クロック信号 f_0 と、この基準クロック信号から位相が90度遅れたシフトクロック信号 f_{90} とを生成し、各機能ブロック3i (i=a, b, c, d)に供給する。

【0042】DLL回路5Aは図10に示すようにインバータゲート81, 82と、切り換え回路84と、位相比較器86と、プログラマブル遅延回路88とを備えている。

【0043】インバータゲート81は基準クロック信号 f_0 を反転し、この反転したクロック信号、すなわち基準クロック信号から位相が180度遅れたシフトクロック信号 f_{180} を切り換え回路84に供給する。インバータゲート82はクロック信号 f_{90} を反転し、この反転したクロック信号、すなわち基準クロック信号 f_0 から位相が270度遅れたシフトクロック信号 f_{270} を切り換え回路84に供給する。したがって切り換え回路84には、図11(a)～11(d)に示すクロック信号 $f_0, f_{90}, f_{180}, f_{270}$ が供給されることになる。

【0044】位相比較器86は、クロックツリー7の出力であるクロック信号 f_{in} と基準クロック信号 f_0 およびシフトクロック信号 f_{90}, f_{180}, f_{270} との位相を比較し、クロック信号 f_{in} の、基準クロック f_0 からの位相遅れ量 $\Delta\alpha$ を検出する。そしてこの位相遅れ量 $\Delta\alpha$ が0(度) $<\Delta\alpha\leq 90$ (度)の範囲(図11に示すD1の範囲)にある場合(例えばクロック信号 f_{in} が図1

- (1) $0<\Delta\alpha\leq 90$ の場合
- (2) $90<\Delta\alpha\leq 180$ の場合
- (3) $180<\Delta\alpha\leq 270$ の場合
- (4) $270<\Delta\alpha\leq 360$ の場合

したがってプログラマブル遅延回路88からクロックツリー7に供給されるクロック信号 f_{out} は、切り換え回路84からプログラマブル遅延回路88に供給されたクロック信号を $\Delta\beta$ だけ遅らせたものとなる。

【0047】これにより、上記クロック信号 f_{out} がクロックツリー7を通過したときにはクロックツリー7の出力信号は基準クロック信号 f_0 から1周期遅れたクロック信号(図11(g)参照)となる。この理由は以下の通りである。例えば、クロック信号 f_{in} の位相遅れ量 $\Delta\alpha$ が $0<\Delta\alpha\leq 90$ の範囲にあるとすると、切り換え回路84からプログラマブル遅延回路88にはシフトクロック信号 f_{270} が供給される。そしてこのシフトクロック信号 f_{270} から $\Delta\beta (=90-\Delta\alpha)$ だけ遅れたクロック信号 f_{out} (図11(e)参照)がクロックツリー7に供給されることになる。このクロック信号 f_{out} がクロックツリー7を通ることによって $\Delta\alpha$ だけ遅れる

1(f)に示す f_{in1} である場合)は、切り換え回路84にシフトクロック信号 f_{270} を選択する指令信号を送る。また上記位相遅れ量 $\Delta\alpha$ が $90<\Delta\alpha\leq 180$ の範囲(図11に示すD2の範囲)にある場合、(例えばクロック信号 f_{in} が図11(f)に示すクロック信号 f_{in2} である場合)は、切り換え回路84にシフトクロック信号 f_{180} を選択する指令信号を送る。また上記位相遅れ量 $\Delta\alpha$ が $180<\Delta\alpha\leq 270$ の範囲(図11に示すD3の範囲)にある場合(例えばクロック信号 f_{in} が図11(f)に示すクロック信号 f_{in3} である場合)は、切り換え回路84にシフトクロック信号 f_{90} を選択する指令信号を送る。また上記位相遅れ量 $\Delta\alpha$ が $270<\Delta\alpha\leq 360$ の範囲(図11に示すD4の範囲)にある場合(例えばクロック信号 f_{in} が図11(f)に示すクロック信号 f_{in4} である場合)は、切り換え回路84にシフトクロック信号 f_0 を選択する指令信号を送る。

【0045】切り換え回路84は位相比較器86からの指令信号に基づいて、4個のクロック信号 $f_0, f_{90}, f_{180}, f_{270}$ の中から1つを選択し、この選択した信号をプログラマブル遅延回路88に供給できるように接続を切り換える。例えば位相比較器86からシフトクロック信号 f_{180} を選択する指令信号を受けた場合は、切り換え回路84はシフトクロック信号 f_{180} を選択してこのシフトクロック信号 f_{180} がプログラマブル遅延回路88に供給されるように接続を切り換える。

【0046】プログラマブル遅延回路88は、位相比較器86で検出された、クロック信号 f_{in} の基準クロック信号 f_0 に対する位相遅れ量 $\Delta\alpha$ に基づいた所定の遅延量 $\Delta\beta$ だけ、切り換え回路84から供給されたクロック信号を遅らせる。この $\Delta\beta$ は次のような値となる。

- $\Delta\beta = 90 - \Delta\alpha$
- $\Delta\beta = 180 - \Delta\alpha$
- $\Delta\beta = 270 - \Delta\alpha$
- $\Delta\beta = 360 - \Delta\alpha$

ため、クロックツリー7から出力されるクロック信号は基準クロック信号 f_0 から360度($=270+\Delta\beta+\Delta\alpha$)遅れたものとなる。

【0048】以上説明したように第4の実施の形態の半導体集積回路装置も第2の実施の形態と同様の効果を有することになる。

【0049】またこの第4の実施の形態においてはプログラマブル遅延回路88によって調整される位相遅延量 $\Delta\beta$ は $0<\Delta\beta<90$ である。これに対して第1乃至第3の実施の形態に用いられたDLL回路5(図2参照)の可変ディレイライン21によって調整される位相遅延量 $\Delta\beta$ は $0\leq\Delta\beta<360$ となる。

【0050】これにより第4の実施の形態に用いられるDLL回路5Aのプログラマブル遅延回路88は、第1の実施の形態と同様に図4(a)または図4(b)に示す遅延素子から構成してもDLL回路5の可変ディレイ

ライン21の大きさの約1/4とすることが可能となり、DLL回路5Aのチップにおける占有面積を小さくすることができる。

【0051】なお、この第4の実施の形態において、位相比較器86によって検出される位相遅延量 $\Delta\alpha$ はクロック信号 f_{jn} と基準クロック信号 f_0 の立上がりを検出することによって求めることができる。

【0052】またこの第4の実施の形態においてはPLL回路2Aから各DLL回路5Aに供給されるクロック信号はクロック信号 f_0 、 f_{90} であったが、PLL回路2AからDLL回路5Aにクロック信号 f_{180} 、 f_{270} をも供給するように構成しても良い。このとき、DLL回路5A内のインバータゲート81、82は不要となる。またPLL回路2Aから各DLL回路5Aに、各々が基準クロック信号 f_0 からの位相をシフトした3個以上のクロック信号を供給するように構成しても良い。

【0053】また第4の実施の形態用いたDLL回路5Aをを第1の実施の形態のDLL回路5の代わりに用いても良い。この場合、図12に示すように各DLL回路5Aには半導体集積回路装置1の外部から基準クロック信号 f_0 とこの基準クロック信号 f_0 の位相を90度シフトしたクロック信号 f_{90} とが供給されることになる。

【0054】

【発明の効果】以上述べたように、プロセスによる変動等があっても、クロックスキューが生じるのを防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示すブロック図。

【図2】本発明にかかるDLL回路の具体的な構成を示すブロック図。

【図3】図2に示すDLL回路の動作を説明する波形図。

【図4】図2に示すDLL回路にかかる可変ディレイラインの構成例を示す回路図。

【図5】本発明の第2の実施の形態の構成を示すブロック図。

【図6】本発明の第3の実施の形態の構成を示すブロック図。

【図7】従来の半導体集積回路装置の構成を示すブロッ

ク図。

【図8】従来の半導体集積回路装置の他の構成を示すブロック図。

【図9】本発明の第4の実施の形態の構成を示すブロック図。

【図10】第4の実施の形態に用いられるDLL回路の具体的な構成を示すブロック図。

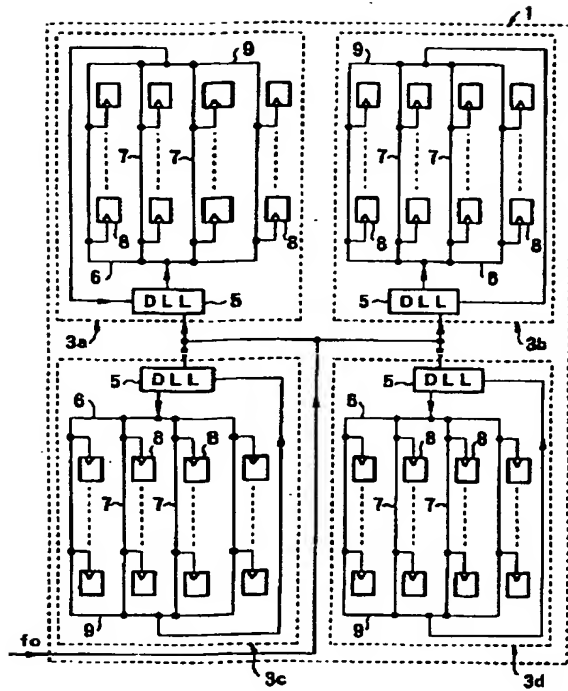
【図11】第4の実施の形態の動作を説明する波形図。

【図12】本発明の第5の実施の形態の構成を示すブロック図。

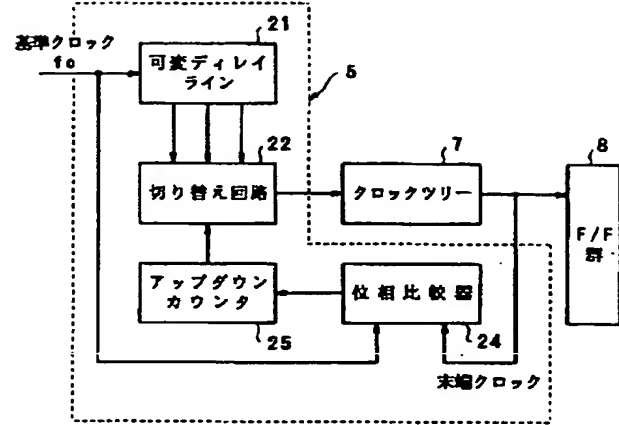
【符号の説明】

- 1 半導体集積回路装置
- 2 PLL回路
- 2A PLL回路
- 3i (i = a, b, c, d) 機能ブロック
- 5 DLL回路
- 5A DLL回路
- 6 クロック入力端
- 7 ツリー
- 8 負荷回路
- 9 クロック出力端
- 41 制御ブロック
- 41a DLL回路
- 41b_i (i = 1, ... 3)
- 43 入力ブロック
- 43a DLL回路
- 43b_i (i = 1, ...) フリップフロップ
- 45 記録ブロック
- 45a DLL回路
- 45b フリップフロップ
- 45c_i (i = 1, ...) フリップフロップ
- 45d_i (i = 1, ...) フリップフロップ
- 46 RAM
- 47 出力ブロック
- 47a DLL回路
- 47b_i (i = 1, ...) フリップフロップ
- 84 切り換え回路
- 86 位相比較器
- 88 プログラマブル遅延回路

【例1】

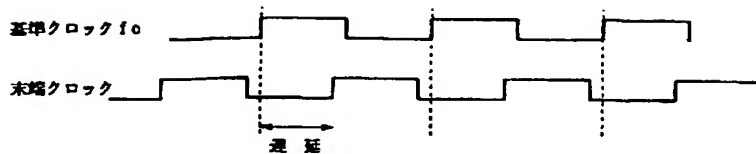


【図2】



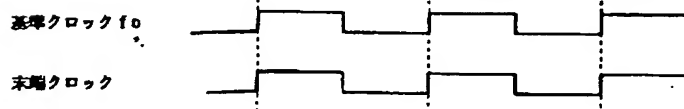
【図3】

(a)



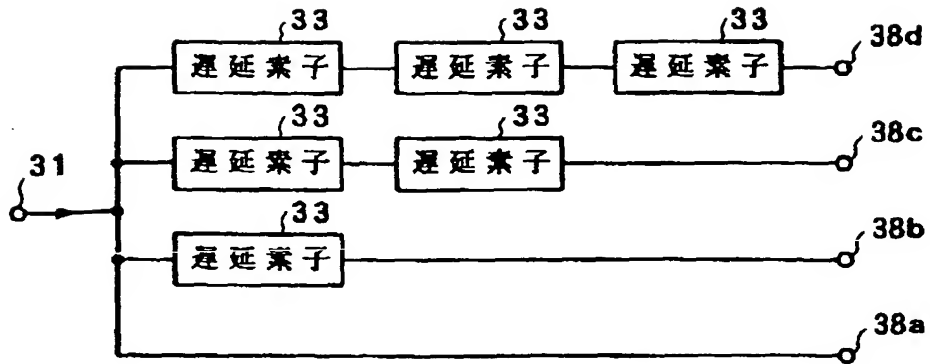
(b)

(DLIによるデスキュー機能、
立ち上がりエッジの調整)

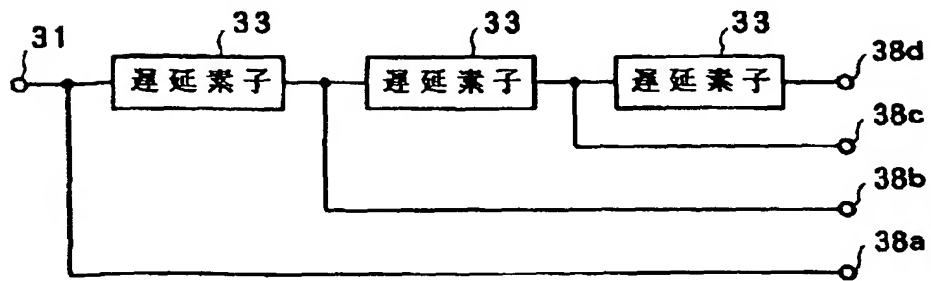


【図4】

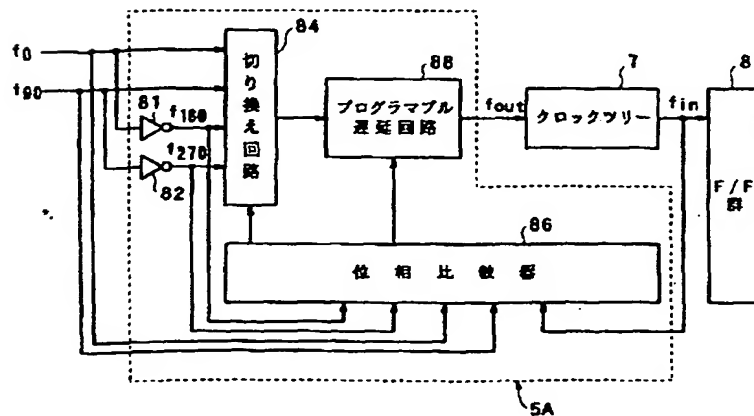
(a)



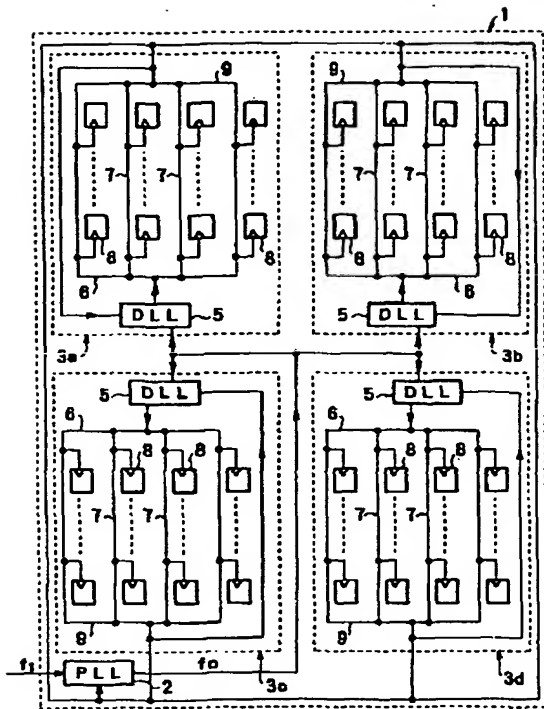
(b)



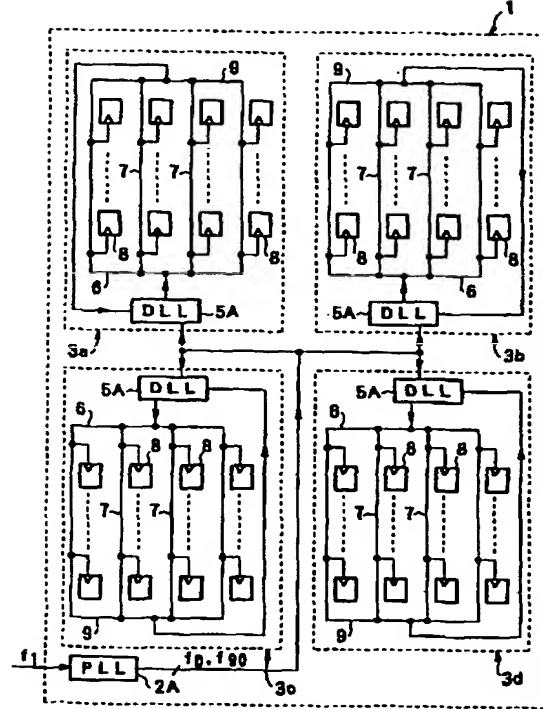
【図10】



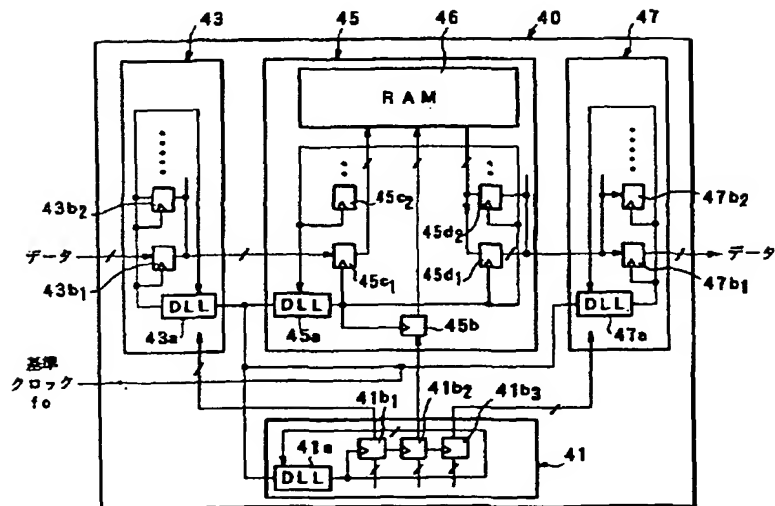
【図5】



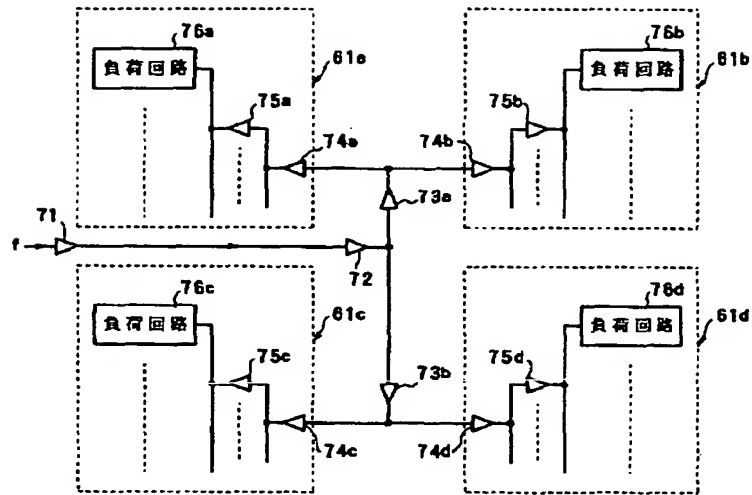
【図9】



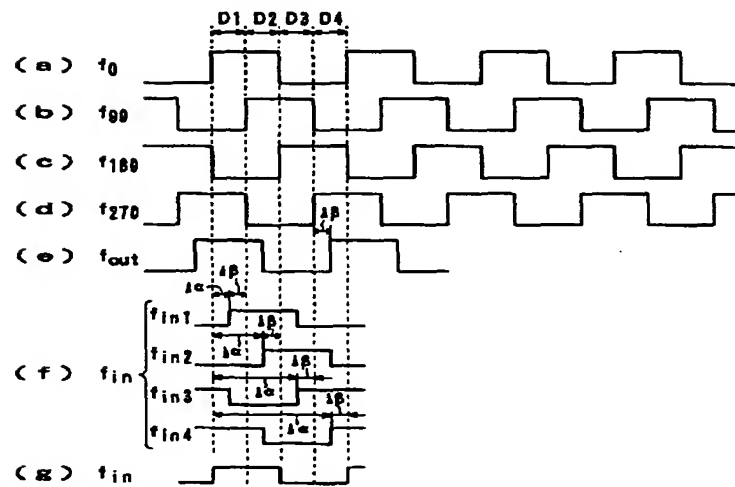
【図6】



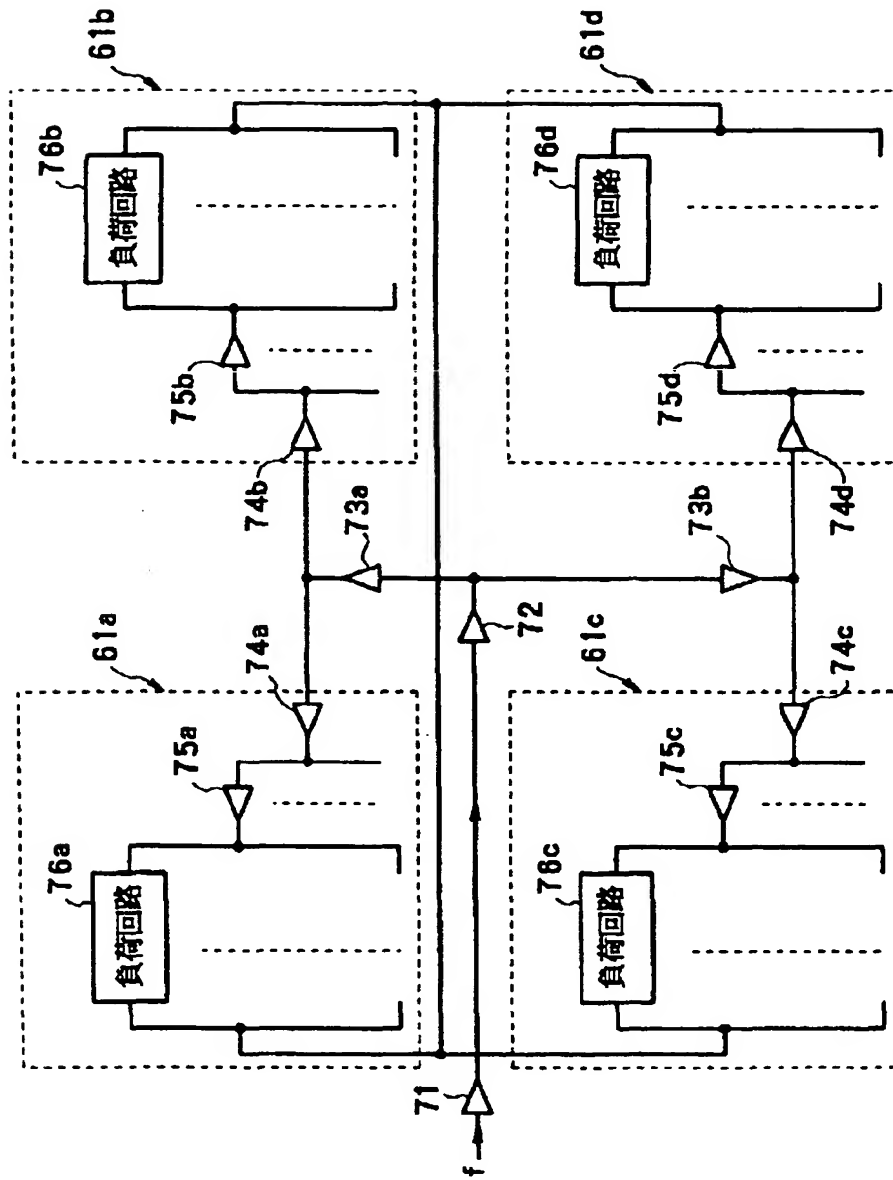
【図7】



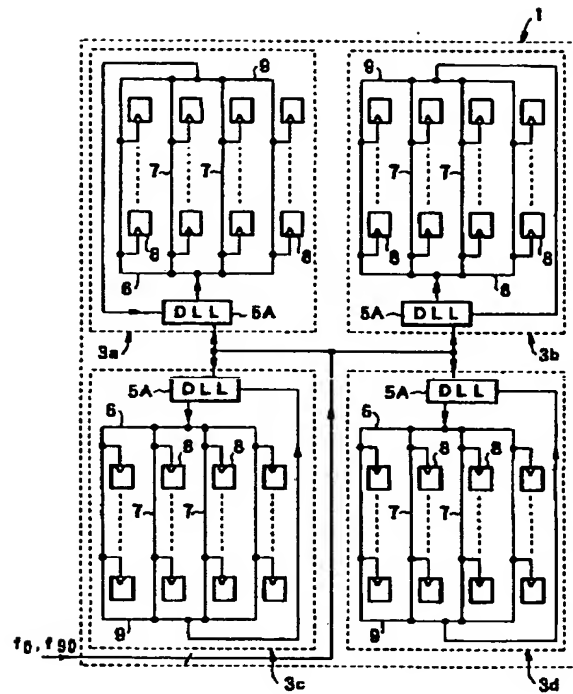
【図11】



【図8】



【図12】



フロントページの続き

(51) Int. Cl.⁶

H03K 5/13

H03L 7/06

識別記号

F I

H03L 7/06

J

(72) 発明者 関 敬 子

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内